

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-268565
(P2000-268565A)

(43)公開日 平成12年9月29日 (2000.9.29)

(51)Int.Cl.⁷
G 11 C 11/407

識別記号

F I
G 11 C 11/34

テマコード^{*}(参考)
3 6 2 S 5 B 0 2 4
3 5 4 C

審査請求 未請求 請求項の数2 OL (全8頁)

(21)出願番号 特願平11-70879

(22)出願日 平成11年3月16日(1999.3.16)

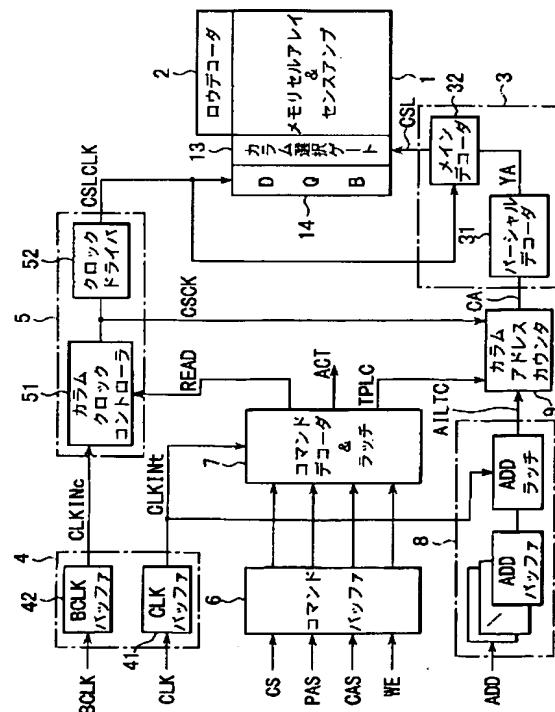
(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 大竹 博之
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内
(72)発明者 大島 成夫
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内
(74)代理人 100092820
弁理士 伊丹 勝
F ターム(参考) 5B024 AA04 AA15 BA15 BA17 BA21
BA23 CA07 CA11

(54)【発明の名称】 同期型半導体記憶装置

(57)【要約】

【課題】 カラム選択のタイミング調整が容易で、アクセスマージンを減らすことなくサイクルタイム及びアクセスタイムを最短にすることができる同期型半導体記憶装置を提供する。

【解決手段】 アドレスバッファ8及びコマンドデコーダ7は、クロックCLKの立ち上がりエッジに同期して、アドレス及びコマンドを取り込む。カラム制御信号発生回路5は、バーチクロックBCLKに同期して、読み出し制御信号READとの論理でカラム制御信号CSC K, CSCLKを発生する。取り込まれたカラムアドレスは、アドレスカウンタ9を介し、カラム制御信号CSC K, CSCLKにより制御されるカラムデコーダ3によりデコードされて、カラム選択線CSLを活性化する。クロック周期の調整により、内部カラムアドレスの確定タイミングに対してカラム選択線活性化のタイミングが最適調整される。



【特許請求の範囲】

【請求項1】 ビット線とワード線が交差して配設されてその各交差部にメモリセルが配置されたメモリセルアレイと、
 クロックの前端に同期して動作モードを指定するコマンドをデコードするコマンドデコーダと、
 前記クロックの前端に同期してアドレスを取り込むアドレスバッファと、
 このアドレスバッファにより取り込まれたロウアドレスをデコードして前記メモリセルアレイのワード線を選択するロウデコーダと、
 前記コマンドデコーダによりデコードされた読み出し制御信号に基づいて前記クロックの後端に同期してカラム制御信号を発生するカラム制御信号発生回路と、
 前記アドレスバッファにより取り込まれたカラムアドレスを前記クロックの前端に同期して前記コマンドデコーダから発生されるカラムアドレス取り込み信号により取り込み、前記カラム制御信号発生回路から発生されるカラム制御信号に基づいて前記メモリセルアレイのビット線を選択するカラム選択信号線を活性化するカラムデコーダと、を有することを特徴とする同期型半導体記憶装置。

【請求項2】 前記クロックの周期調整により、内部カラムアドレス確定のタイミングと前記カラム制御信号のタイミングの調整がなされることを特徴とする請求項1記載の同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、データ読み出し及び書き込みがクロックにより同期制御されるシンクロナスDRAM等の同期型半導体記憶装置に関する。

【0002】

【従来の技術】シンクロナスDRAM (SDRAM) では、クロックに同期してコマンドやアドレスが取り込まれ、読み出し／書き込み制御信号に応じてデータの読み出し／書き込みが行われる。例えばデータ読み出し時、メモリセルアレイのビット線データはカラムデコーダにより選択されてデータ線に転送される。このとき、クロック制御されるカラムデコーダでは、確定した内部カラムアドレスに対応するカラム選択クロックが供給されて、選択されたビット線データをデータ線に転送するためのカラム選択線が活性化される。

【0003】READコマンドが確定してから、アドレスが取り込まれ、デコードされて内部カラムアドレスが確定するまでには、多くのゲートを通るために一定の遅延時間がある。外部クロックを取り込んで生成された内部クロックから、READコマンドに従ってカラム選択信号を活性化するためのカラム制御クロックを生成するクロック系は、上述のアドレス系に比べるとゲート段数は少ない。従って、内部カラムアドレスが確定した後に

カラム制御クロックが発生されるようにするために、カラム制御クロックの生成経路に一定の遅延を与えることが行われる。

【0004】具体的に、外部アドレス取り込みから、内部カラムアドレス確定までの遅延時間、及びREADコマンドに基づいてカラム選択クロックが発生されるまでの遅延時間は共に、クロックの立ち上がりエッジを基準タイミングとして決定されている。内部カラムアドレスの確定とほぼ同時に、カラム選択クロックが発生されてカラムデコーダ最終段に供給されるように、カラム選択クロックの遅延時間が調整されれば、コマンド入力からデータ出力までのアクセス時間は最短になる。

【0005】

【発明が解決しようとする課題】しかし実際には、上述のようにアドレスとクロックの転送パスが異なるため、最適のタイミング調整は困難である。そのため、カラム選択クロックの生成経路には、誤ったカラム選択を確実に防止するよう、内部カラムアドレス確定時間より長い遅延時間を与えることが一般に行われていた。これは、アクセスタイムの一層の短縮を阻害する原因となっている。

【0006】また、プロセス等の何らかの要因によって、内部カラムアドレス確定とカラム選択クロックの発生のタイミングが逆転したとすると、供給するクロック周期を長くしてサイクルタイムを長くしたとしても、上述のタイミング関係は変わらず、救済措置がなくなる。これは、内部カラムアドレスの確定までの時間と、カラム選択クロックの発生までの時間が、上述のようにいずれもクロックの立ち上がりエッジを基準として決定されているためである。

【0007】この発明は、上記事情を考慮してなされたもので、カラム選択のタイミング調整が容易で、アクセスマージンを減らすことなくサイクルタイム及びアクセスタイムを最短にすることができる同期型半導体記憶装置を提供することを目的としている。

【0008】

【課題を解決するための手段】この発明に係る同期型半導体記憶装置は、ビット線とワード線が交差して配設されてその各交差部にメモリセルが配置されたメモリセルアレイと、クロックの前端に同期して動作モードを指定するコマンドをデコードするコマンドデコーダと、前記クロックの前端に同期してアドレスを取り込むアドレスバッファと、このアドレスバッファにより取り込まれたロウアドレスをデコードして前記メモリセルアレイのワード線を選択するロウデコーダと、前記コマンドデコーダによりデコードされた読み出し制御信号に基づいて前記クロックの後端に同期してカラム制御信号を発生するカラム制御信号発生回路と、前記アドレスバッファにより取り込まれたカラムアドレスを前記クロックの前端に同期して前記コマンドデコーダから発生されるカラムア

ドレス取り込み信号により取り込み、前記カラム制御信号発生回路から発生されるカラム制御信号に基づいて前記メモリセルアレイのピット線を選択するカラム選択信号線を活性化するカラムデコーダと、を有することを特徴とする。

【0009】この発明によると、カラムアドレス取り込みのタイミングをクロックの前端に同期して行い、取り込まれたカラムアドレスをデコードしてカラム選択線を活性化するためのカラム制御信号は、クロックの後端に同期して発生させるようにしている。これにより、クロックの周期調整により、内部カラムアドレス確定のタイミングとカラム制御信号のタイミングの調整が可能で、アクセスマージンを低下させることなく、アクセスタイム及びサイクルタイムを短縮することが可能になる。

【0010】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。図1は、この発明の実施の形態によるSDRAMのブロック構成を示し、図2はそのメモリセルアレイの具体構成を示している。メモリセルアレイ1は、図2に示すように、複数のピット線対BL, bBLと複数のワード線WLが交差して配設され、その各交差部にダイナミック型メモリセルMCを配置して構成されている。通常メモリセルアレイ1は、複数のサブセルアレイに分割されて配置されるが、図2ではその一つのサブセルアレイ11を示している。

【0011】メモリセルアレイ1には、サブセルアレイ11を挟むようにピット線センスアンプ12が配置される。またメモリセルアレイ1上には複数のメインデータ線対DQ, bDQが配設され、ピット線対BL, bBLはカラム選択ゲート13により選択されてメインデータ線対DQ, bDQに接続される。メインデータ線対DQ, bDQのデータはデータ線バッファ14により増幅され、図では省略したが更に周辺データ線RDを介し出力バッファを介して読み出される。メモリセルアレイ1のワード線WL及びピット線BL, bBLはそれぞれ、ロウデコーダ2及びカラムデコーダ3により選択される。

【0012】この実施の形態では、データ読み出し及び書き込みの同期制御に用いられるクロックとして、基本クロックCLKと、これと相補のバークロックBCLKが用意されている。これらのクロックCLK, BCLKはそれぞれ、クロックバッファ4のCLKバッファ41、BCLKバッファ42により取り込まれて、内部クロックCLKINT、CLKINCとなる。

【0013】チップセレクトCS、ロウアドレスストローブRAS、カラムアドレスストローブCAS、及び読み出し/書き込みを指示するライトイネーブルWE等の各種コマンドは、コマンドバッファ6を介して、コマンドデコーダ7に取り込まれてデコードされる。コマンドデコーダ7は、内部クロックCLKINTの立ち上がり

エッジでコマンドをラッチする。外部アドレスADDは、同じく内部クロックCLKINTの立ち上がりエッジでアドレスバッファ8に取り込まれてラッチされた後、クロックにより制御されてアドレスバスAILTCに取り出される。アドレスバスAILTCは、ロウ、カラム共通のアドレスバスである。

【0014】アドレスバスAILTCに取り込まれたアドレスは、ロウデコーダ2及びカラムデコーダ3でデコードされて、ワード線及びピット線選択がなされる。図

10 1では、カラム系を詳細に示し、ワード線選択を行うロウ系は簡単に示しているが、コマンドデコーダ7ではまず、クロックCLKINTの立ち上がりを基準としてロウ系の制御信号ACTが発生され、ロウアドレスが取り込まれてデコードされる。データ読み出しの場合、ロウ系が活性化された後、クロックCLKINTの立ち上がりエッジを基準として、コマンドデコーダ7では読み出し制御信号READ及びカラムアドレス取り込み制御信号TPLCが発生される。

【0015】カラム系クロック発生回路5では、カラムクロックコントローラ51において、読み出し制御信号READとバークロックBCLKの内部クロックCLKINCとの論理により、第1のカラム制御信号CSCCKが発生される。このカラム制御信号CSCCKは更にクロックドライバ52により一定の遅延が与えられて、第2のカラム制御信号CSLCLOCKが得られる。

【0016】カラムアドレスは、カラムアドレス取り込み制御信号TPLCによりアドレスカウンタ9に取り込まれ、カラム制御信号CSCCKによりカウントアップして、何ビット出力するかを決めるバースト長の数に応じて所定個数のカラムアドレスCAが発生される。発生されたカラムアドレスCAは、カラムデコーダ3の中のペーシャルカラムデコーダ31により各カラム選択線CSLを選択する最終カラムアドレスYAとしてデコードされる。このカラムアドレスYAは、クロック発生回路5から発生されるカラム制御信号CSLCLOCKに同期してメインデコーダ32によりデコードされて、所定のカラム選択線CSLが活性化されることになる。

【0017】図3は、図2のカラムデコーダ3及びカラム系クロック発生回路5の要部の具体構成を示している。カラムコントローラ51は基本的に、読み出し制御信号READと内部クロックCLKTNcの論理積をとって、カラム制御信号CSCCKを発生する。クロックドライバ52は、複数段のインバータによりカラム制御信号CSCCKに所定遅延を与えたカラム制御信号CSLCLOCKを発生する。

【0018】アドレスカウンタ9では、カラムアドレス取り込み制御信号TPLCにより制御される3ステートCMOSバッファ91によりアドレスバスAILTCのカラムアドレスがノード92に取り込まれる。このノード92に取り込まれたカラムアドレスは、バッファ9

3、カラム制御信号C S C Kにより制御される3ステートCMOSバッファ94及びバッファ95を介して出力ノード96に転送される。そして、カラム制御信号C S C Kによるカウンタアップにより所定個数のカラムアドレスC Aとして取り出される。メインカラムデコーダ32では、カラム制御信号C S L C L Kと最終カラムアドレスY Aとの論理積により、カラム選択線C S Lを活性化する。カラム制御信号C S L C L Kは、図1に示すようにデータバッファ14にも与えられる。

【0019】図4は、この実施の形態でのデータ読み出し動作のタイミング図である。図示のように基本クロックC L Kの立ち上がりエッジ（即ち、前端）の時刻t0でロウアドレスR Aが取り込まれ、これに対応して制御信号A C Tが発生されて、ロウアドレスがデコードされてワード線W Lが選択される。ロウアドレス取り込みから例えば2クロック遅れて、基本クロックC L Kの立ち上がりエッジである時刻t1を基準として読み出し制御信号R E A D及びカラムアドレス取り込み制御信号T P L Cが発生され、制御信号T P L Cにより外部カラムアドレスC Aが取り込まれる。

【0020】取り込まれたカラムアドレスC Aは、その間カラム制御信号C S C Kが“L”であり、アドレスカウンタ9をスルーしてそのままノード96に転送される。その後、パークロックB C L Kの立ち上がりエッジ（即ち、基本クロックC L Kの後端）を基準として発生されるカラム制御信号C S C Kによりカウントアップされて、図示のようにカラムアドレスC A(0), C A(1)が順次作られる。これらのカラムアドレスC A(0), C A(1)は更にデコーダされて最終カラムアドレスY A(0), Y A(1)が得られる。そして、得られたカラムアドレスY A(0), Y A(1)と、カラム制御信号C S C Kから少し遅れて発生されるカラム制御信号C S L C L Kとの論理積によって、異なるカラム選択線C S L 0, C S L 1が順次選択駆動される。

【0021】上述のようにこの実施の形態では、カラムアドレスの取り込みの基準タイミングを基本クロックC L Kの立ち上がりエッジとし、カラム制御信号C S C K, C S L C L Kを発生させる基準タイミングを基本クロックC L Kの立ち下がりエッジとしている。これにより、従来のように内部カラムアドレスの確定タイミングに対してカラム制御信号の遅延時間調整により削られるタイムマージンが削られることなく、クロックの周期調整によって、内部カラムアドレスの確定タイミングとカラム制御クロックのタイミング調整が可能となる。このことを具体的に、図5及び図6を参照して説明する。

【0022】図5は、図4に示したタイミング図中、主要信号のタイミングを拡大して示している。実線で示すクロック周期T0の場合、基本クロックC L Kの立ち上がりエッジから内部カラムアドレスY Aの確定までの遅延時間 τ に対して、カラム制御信号C S L C L Kが早く

立ち上がっている。この場合、実線で示すカラム選択信号C S Lは、誤選択である。従来はこの誤選択を防止するために、カラム制御信号C S C Kの発生からカラム制御信号C S L C L Kが発生するまでの遅延時間 τ_0 を調整した。

【0023】これに対してこの実施の形態では、破線で示すようにクロック周期をT0からT1に延ばす。これにより、基本クロックC L Kの立ち上がりエッジからカラムアドレス確定までの遅延時間 τ をそのままとして、

10 基本クロックC L Kの立ち下がりエッジを基準として発生されるカラム制御信号C S C K, C S L C L Kを遅らせ、カラムアドレスY Aの確定後にカラム制御信号C S L C L Kを発生させることができる。この結果、正しいカラム選択信号C S Lが得られる。

【0024】図6は、実線で示すクロック周期T0の場合に、カラムアドレスY Aの確定タイミングに対して、カラム制御信号C S L C L Kの発生タイミングが、誤選択にはならないが、遅れすぎている例を示している。この場合には、破線で示すようにクロック周期をT1に小さくする。これにより、カラム制御信号C S L C L Kの発生を早めて、カラムアドレス確定の直後にカラム選択信号C S Lを発生させることができる。即ち、サイクルタイム及びアクセスタイムの短縮が可能になる。

【0025】以上のように、この実施の形態によると、クロック周期の調整によって、カラムアドレス確定のタイミングに対して、カラム制御信号C S L C L Kのタイミングを最適位置に調整することができ、またサイクルタイム及びアクセスタイムの短縮が可能となる。しかし、従来のカラム制御信号の遅延時間調整により内部カラムアドレス確定とカラム制御信号のタイミング調整を行う方法では、クロック周期を小さくすると、アクセスマージンの削ることになるのに対して、この実施の形態の場合にはアクセスマージンが削られることはない。この点を具体的に図7及び図8を参照して説明する。

【0026】図7は、従来方式の場合であり、内部カラムアドレスY Aが確定してから、一定遅延時間 τ_0 をもってカラム制御信号C S L C L Kが発生される。この場合、内部カラムアドレスY Aの確定から、カラム選択線C S Lが活性化されて周辺データ線R Dにデータが転送されるまでの時間は一定である。クロックC L Kの立ち上がりで出力バッファが制御されて、周辺データ線R Dにデータが転送されたデータがデータ出力D o u tとして取り出されるまでのマージンは、破線で示すようにクロック周期を短くした場合には小さくなる。

【0027】これに対してこの実施の形態の場合、図8に示すようになる。実線で示すクロック周期の長い状態では、内部カラムアドレスY Aの確定からカラム制御クロックC S L C L Kの発生までが無駄な時間となる。そこでこの無駄な時間をなくすべく、破線で示すようにクロック周期を短くしたとする。このとき、カラム制御信

号クロック C S L C L K の発生タイミングが早くなり、周辺データ線 R D へのデータ転送も早まり、データ出力 D o u t のタイミングも早まる。即ち全体のタイミングが前倒しになり、アクセスマージンは、クロック周期が長い場合と短くした場合とで変わらない。即ち、アクセスマージンを削ることなく、アクセスタイム及びサイクルタイムを短縮できることになる。

【0028】図9はこの発明の別の実施の形態の S D R A M を示す。基本構成は、先の実施の形態と同様であり、図1と対応する部分には、図1と同一符号を付して詳細な説明は省く。この実施の形態では、先の実施の形態では、バークロック B C L K を用いたのに対して、この実施の形態では、基本クロック C L K のみを用いている。クロックバッファ4により取り込まれた内部クロック C L K I N t をこの実施の形態では、インバータIにより反転して、先の実施の形態でのバークロック B C L K に対応する相補クロック C L K I N c を得ている。そしてこのクロック C L K I N c の立ち上がりタイミングを基準として、カラム制御信号 C S C K, C S L C L K を発生させる。その他、先の実施の形態と変わらない。この実施の形態によっても先の実施の形態と同様の効果が得られる。

【0029】

【発明の効果】以上述べたようにこの発明によれば、カラム選択のタイミング調整が容易で、アクセスマージンを減らすことなくサイクルタイム及びアクセスタイムを最短にすることができる同期型半導体記憶装置を提供す

ることができる。

【図面の簡単な説明】

【図1】この発明の実施の形態による S D R A M の構成を示す図である。

【図2】同実施の形態のメモリセルアレイ部の構成を示す図である。

【図3】図1における要部の具体構成を示す図である。

【図4】同実施の形態の S D R A M でのデータ読み出し動作のタイミング図である。

10 【図5】同実施の形態でのクロック周期調整の具体例を示すタイミング図である。

【図6】同実施の形態での他のクロック周期調整の具体例を示すタイミング図である。

【図7】従来方式でクロック周期を短縮した場合のアクセスマージン低下を説明するためのタイミング図である。

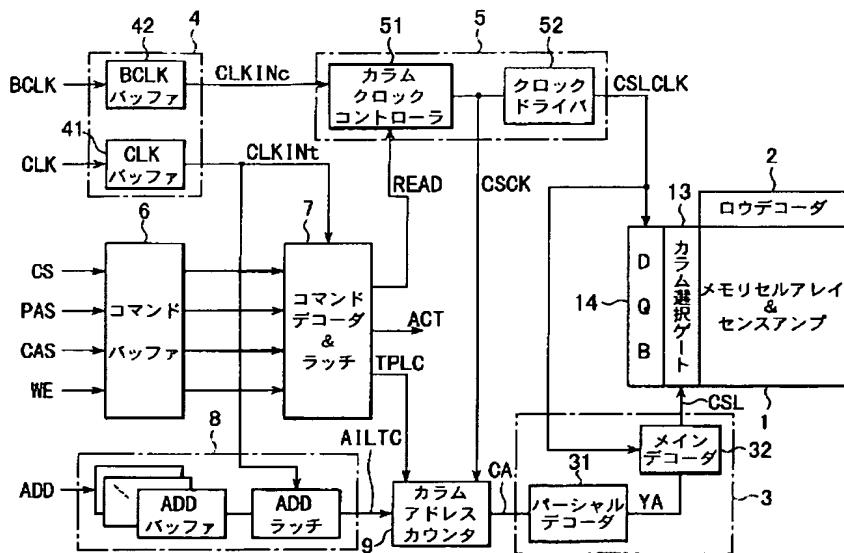
【図8】この実施の形態でのクロック周期短縮の場合のアクセスマージン不変の様子を示すタイミング図である。

20 【図9】この発明の別の実施の形態の S D R A M の構成を示す図である。

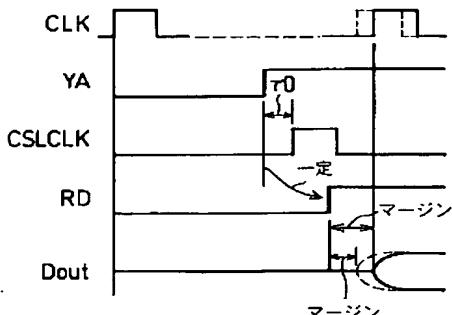
【符号の説明】

1…メモリセルアレイ、2…ロウデコーダ、3…カラムデコーダ、4…クロックバッファ、5…カラム制御クロック発生回路、6…コマンドバッファ、7…コマンドデコーダ、8…アドレスバッファ、9…カラムアドレスカウンタ。

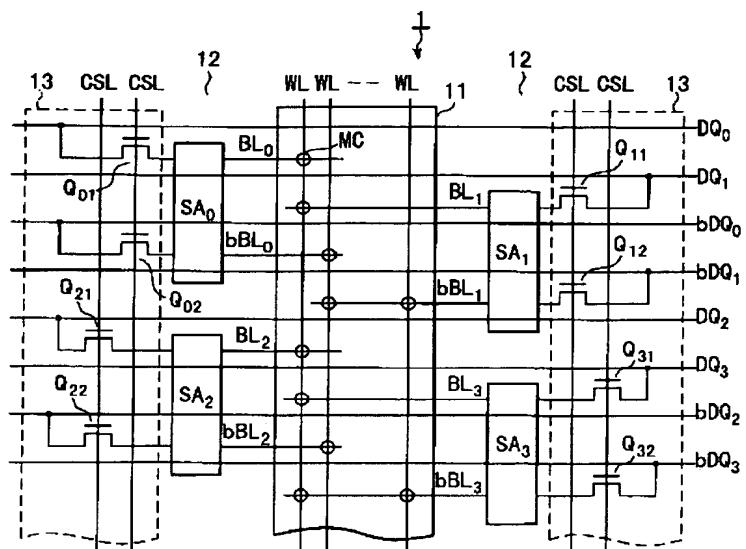
【図1】



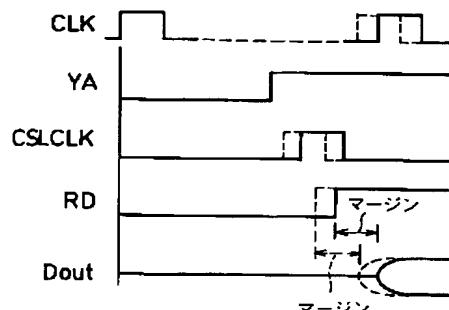
【図7】



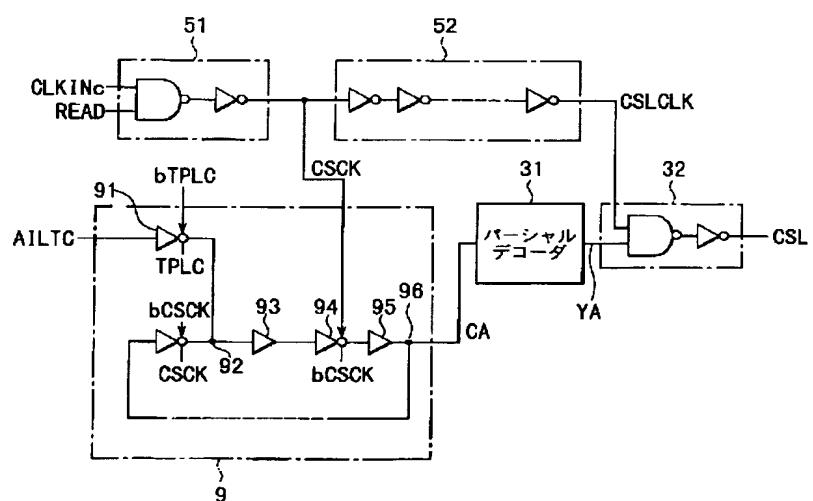
【図2】



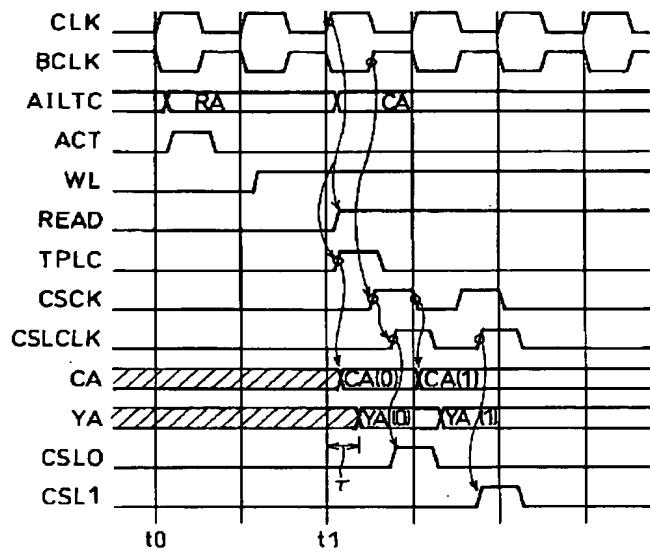
【図8】



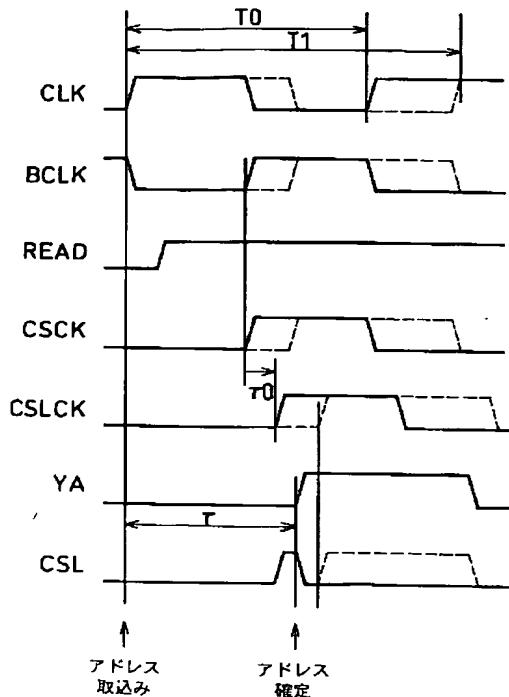
【図3】



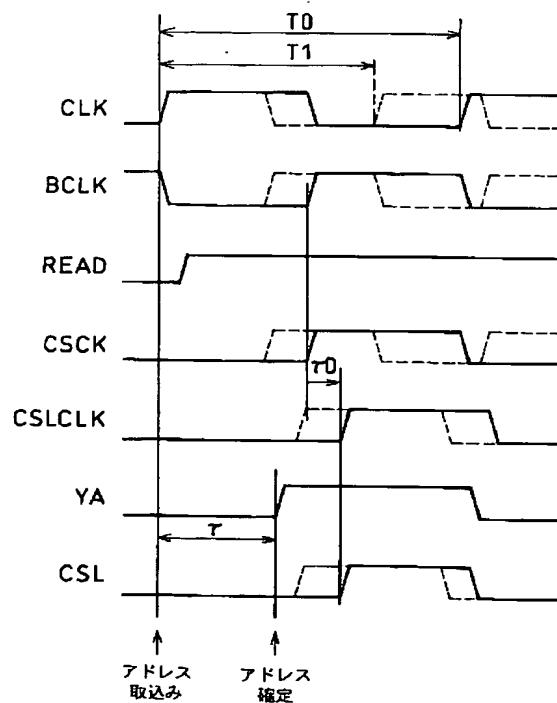
【図4】



【図5】



【図6】



【図9】

